

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP60235428  
Publication date: 1985-11-22  
Inventor(s): HONJIYOU KAZUHIKO  
Applicant(s): NIPPON DENKI KK  
Requested Patent: ☐ JP60235428  
Application Number: JP19840092137 19840509  
Priority Number(s):  
IPC Classification: H01L21/306; H01L29/80  
EC Classification:  
Equivalents: JP1822445C, JP5027248B

**Abstract**

**PURPOSE:** To minimize the opening area of a through-hole provided in a substrate and reduce the size of a circuit pattern, by forming a mask pattern for providing a hole at a desired position on a substrate, forming a hole in the substrate by a dry etching process, the hole not extending through the substrate, and allowing the hole to extend through the substrate by a chemical etching process.

**CONSTITUTION:** Mask patterns 4, 4 are formed on both sides of a GaAs substrate 1, and a hole 7 having a depth (d) is formed in the substrate 1 by a dry etching process. The hole 7 is extended by a chemical etching process so as to provide a through-hole 8. The masks 4 serve as masks for both the dry and chemical etching processes. The diameter D3 of the opening is expressed by  $D3_{approx.} = D2 + 2(t-d)$ .

Data supplied from the esp@cenet database - I2

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-235428

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月22日

H 01 L 21/306  
29/80

S-8223-5F  
7925-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-92137

⑰ 出 願 昭59(1984)5月9日

⑱ 発 明 者 本 城 和 彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日 本 電 気 株 式 有 限 公 司 東京都港区芝5丁目33番1号

⑳ 代 理 人 弁 理 士 内 原 晋

# 明 細 書

## 1. 発明の名称

半導体装置の製造方法

## 2. 特許請求の範囲

(1) 半導体基板の一面から他面に、貫通する穴を開ける工程において、所望の位置に穴を開けるためのマスクパターンを形成する工程と、ドライエッチングにより貫通するには至らない穴を該半導体基板に開ける工程と、ケミカルエッチングにより前記穴を貫通させる工程とを行うことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置の製造方法に関するものである。

(従来技術とその問題点)

近年 GaAs 等の化合物半導体を用いた超高速ディジタル FET 素子およびアナログ集積回路、さらに超高速ディジタル集積回路の研究開発が活発に行なわれている。超高速周波、超高速デバイス

においては、接地すべき電極は寄生的回路要素の介在を極力避けて接地する必要がある。とりわけ比較的インピーダンスレベルの低いディジタル FET 素子およびアナログ集積回路においては接地の問題は重要である。この問題を解決する方法として、半導体基板に貫通する穴を開け、この穴を金属で埋めて接地するいわゆるビアホール(via hole)技術が用いられている。この穴を開けるためには、ケミカルエッチングを用いる方法とドライエッチングを用いる方法との二つの方法がある。しかしながら前者の方法ではサイドエッチングにより穴の側壁が垂直にならず、半導体基板上に占める穴の開口部面積が大きくなるという欠点をもっている。また後者の方法では半導体基板とマスクとのエッチング比が大きくとれないため深い穴が開けられないという欠点をもっている。ちなみに現在報告されているドライエッチングによる貫通穴の深さは 30 μm から 50 μm 程度であるのに対し、通常用いられる半導体基板の厚さは 100 μm から 300 μm 程度である。

## 〔発明の目的〕

本発明の目的は前記欠点を改善した半導体装置の製造方法を提供することにある。

## 〔発明の構成〕

本発明は半導体表面から裏面にあるいは裏面から表面に貫通する穴を開ける工程において、所望の位置に穴を開けるためのマスクパターンを形成する工程と、ドライエッチングにより貫通するには至らない穴を該半導体基板に開ける工程と、ケミカルエッチングにより前記穴を貫通させる工程とを行うことを特徴とする半導体装置の製造方法である。

## 〔実施例〕

第1図、第2図は従来例の断面図であり第1図はケミカルエッチングによる方法、第2図はドライエッチングによる方法である。第1図(a)において、GaAs基板1の両面にエッチングマスクパターン2,2を設け、ケミカルエッチングを行うと同図(b)に示すような穴5が形成される。穴5の側壁はほぼ45°の傾きをもっており、開口部の径D<sub>1</sub>は

$$D_1 \approx D_2 + 2(t-d) \quad (2)$$

で表わされる。

ここでD<sub>1</sub>とD<sub>2</sub>との差をとると、

$$D_1 - D_2 \approx 2d \quad (3)$$

となり、ケミカルエッチングのみを用いた貫通穴より本発明による貫通穴の方が、開口部の径において2dだけ小さいことがわかる。

## 〔発明の効果〕

以上のように本発明によれば100μmから300μm程度ある半導体基板に貫通する穴をその開口部面積を狭く押えた状態で実現できるため回路パターンを小型化することができ半導体装置の製造においてその効果は大きい。

なお実施例においてはマスク材質にドライエッチング用とケミカルエッチング用とを同じものを用いたが、必ずしも同じである必要はない。また半導体基板はGaAsに限らず何れでもよい。

## 4.図面の簡単な説明

第1図(a),(b)はケミカルエッチングによる従来のバイアホールの穴開け工程を工程順に示す断面

$$D_1 \approx 2t + D_2 \quad (1)$$

と表わされる。

第2図(a)のようにGaAs基板1の両面にマスク3を設けてドライエッチングを行うと同図(b)のように側壁が垂直な穴6が開くが、マスク3の材質にもよるがGaAs1とマスク3とのエッチング比が大きくとれないため、マスクの厚さは薄くなる。通常穴6の深さdは30μmから50μm程度であるため、100μmから300μm程度あるGaAs基板1を貫通することはできない。

第3図は本発明の一実施例である。同図(a)において、GaAs基板1の両面にマスクパターン4,4が形成された後に、同図(b)に示されたようにドライエッチングで深さdの穴7をGaAs基板1に開ける。さらにマスク4をそのまま用いて同図(c)に示すようにケミカルエッチングによって貫通穴8を開ける。ただしマスク4はドライエッチングに対してもケミカルエッチングに対してもマスクとしての機能を有するものである。

本発明による開口部の径D<sub>1</sub>は

図、第2図(a),(b)はドライエッチングによる従来のバイアホールの穴開け工程を工程順に示す断面図、第3図(a)~(c)は本発明の一実施例のバイアホール穴開け工程を工程順に示す断面図である。

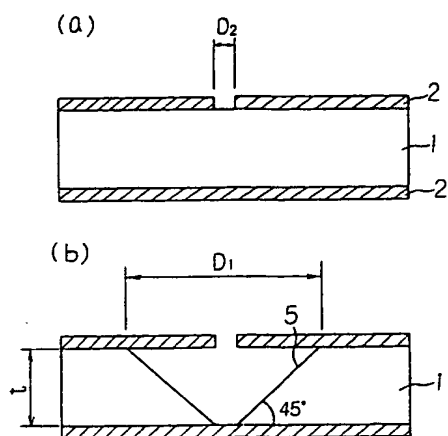
1…GaAs基板、4…マスク、8…貫通穴。

特許出願人 日本電気株式会社

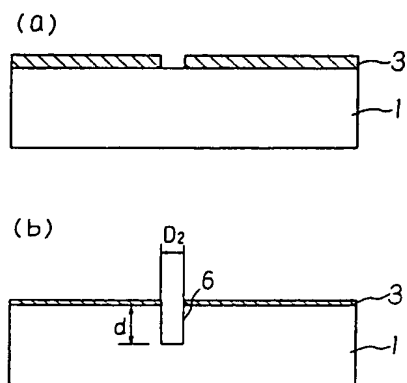
代理人 井堀士 内 原



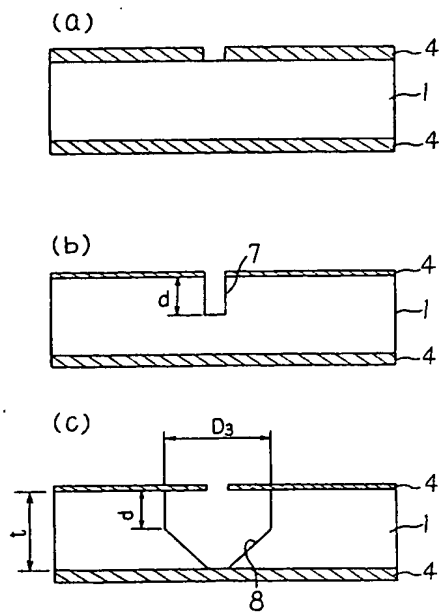
第1図



第2図



第3図



출력 일자: 2005/1/25

발송번호 : 9-5-2005-003065881

수신 : 서울 강남구 역삼동 727-13 세일빌딩 5층

발송일자 : 2005.01.24

(21세기특허법률사무소)

제출기일 : 2005.03.24

박영우 귀하

135-080

## 특허청 의견제출통지서

출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 영통구 매탄동 416

대리인 성명 박영우

주소 서울 강남구 역삼동 727-13 세일빌딩 5층(21세기특허법률사무소)

출원번호 10-2003-0012763

발명의 명칭 트렌치 형성 방법 및 이를 이용한 반도체 장치의 제조 방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장승인 통지는 하지 않습니다.)

### [이유]

이 출원의 아래에서 지적한 특허청구범위에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

### [아래]

청구항 제1항, 제16항, 제20항은 제1 식각 공정을 통해 기판에 제1 치수를 갖는 트렌치를 형성하는 단계, 제2 식각 공정으로 식각하여 제2 치수를 갖는 확장된 트렌치를 형성하는 단계로 이루어진 반도체 소자의 제조방법임을 알 수 있으나, (제1항은 트렌치 형성 방법, 제16항은 소자 분리막 형성 방법, 제20항은 도전성 패턴 형성 방법이지만, 이들은 모두 제1식각, 제2식각을 통하여 트렌치를 확장하는 기술이라는 점에서 동일. 유사한 기술임) 일본공개특허공보소60-235428호(1985.11.22공개)에는 반도체 기판에 절연막을 형성하고 포토레지스트 패턴을 형성하고 이를 이용하여 건식식각으로 1차적으로 식각하여 홀 또는 트렌치를 형성한 후에, 습식식각으로 2차적으로 식각하여 홀 또는 트렌치를 확장하는 단계로 이루어진 반도체 소자의 제조방법이 개시되어 있으므로, 상기한 청구항은 인용예에 개시된 발명에 의하여 용이하게 발명할 수 있는 것으로 판단됩니다.

### [참 부]

첨부1 일본공개특허공보소60-235428호(1985.11.22공개) 끝.

2005.01.24

특허청

전기전자심사국

반도체심사담당관실

심사관 김종찬



출력 일자: 2005/1/25

<<안내>>

문의사항이 있으시면 ☎ 042-481-5722 로 문의하시기 바랍니다.  
서식 또는 절차에 대하여는 특허고객 콜센터 ☎1544-8080으로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지([www.kipo.go.kr](http://www.kipo.go.kr))내 부조리신고센터